

**19 BUNDESREPUBLIK  
DEUTSCHLAND**



**DEUTSCHES  
PATENTAMT**

**Patentschrift**  
**DE 196 03 469 C 2**

Int. Cl.<sup>6</sup>:  
**H 03 K 5/13**  
G 06 F 1/04

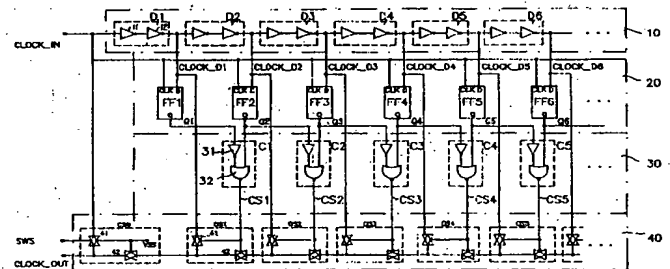
- |    |  |                 |
|----|--|-----------------|
| 21 | Aktenzeichen:                                | 196 03 469.8-31 |
| 22 | Anmeldetag:                                  | 31. 1. 96       |
| 43 | Offenlegungstag:                             | 19. 6. 97       |
| 45 | Veröffentlichungstag<br>der Patenterteilung: | 22. 10. 98      |

**Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden**

- (30) Unionspriorität: 51427/95 18. 12. 95 KR  
 (73) Patentinhaber: LG Semicon Co., Ltd., Cheongju, KR  
 (74) Vertreter: Patent- und Rechtsanwälte Wuesthoff & Wuesthoff, 81541 München  
 (72) Erfinder: Park, Sung Man, Seoul/Soul, KR  
 (56) Für die Beurteilung der Patentfähigkeit in Betracht gezogene Druckschriften:  
 US 52 45 231  
 US 46 18 787  
 US 39 42 037  
 JP 6-177723 A In: Pat. Abstr. of Japan,  
 Sect. F Vol. 18 No. 509 1994(E1610):

### ⑤④ Taktsignal-Modellierungsschaltung

- 57) Taktsignal-Modellierungsschaltung, umfassend:
- eine Verzögerungsschaltung (10; 90) mit n hintereinandergeschalteten Verzögerungselementen ( $D_1 \dots D_n$ ), der ein externes Taktsignal (CLOCK\_IN) zugeführt wird, wobei nach jedem Verzögerungselement ein verzögertes Ausgangssignal (CLOCK\_D1 ... CLOCK\_Dn) abgegriffen werden kann,
  - eine Abtastschaltung (20, 60), die von dem externen Taktsignal getaktet wird und der die verzögerten Ausgangssignale (CLOCK\_D1 ... CLOCK\_Dn) zugeführt werden,
  - eine Vergleichsschaltung (30, 70) mit n-1 Vergleichselementen ( $C_1 \dots C_{n-1}$ ), wobei einem Vergleichselement (i) die Ausgangssignale ( $Q_i$  und  $Q_{i+1}$ ) der Abtastschaltung zugeführt werden, und
  - eine Ausgabeschaltung (40, 80), der zum einen die von den Verzögerungselementen abgegebenen verzögerten Ausgangssignale (CLOCK\_D1 ... CLOCK\_Dn) zugeführt werden und zum anderen die Ausgangssignale ( $CS_1 \dots CS_{n-1}$ ) der Vergleichsschaltung, und die ein internes Taktsignal (CLOCK\_OUT) gemäß einem Ausgangssignal ( $CS_1 \dots CS_n$ ) der Vergleichseinheit und einem von außen angelegten Schaltsignal (SWS) abgibt,
- dadurch gekennzeichnet, daß jedes ungeradzahlige Verzögerungselement ( $D_1 \dots D_n$ ) ein NAND-Gatter und jedes geradzahlige Verzögerungselement ein NOR-Gatter enthält und jeweils dem einen Gattereingang das verzögerte Ausgangssignal des vorangehenden Verzögerungselementes zugeführt wird und dem anderen Gattereingang jeweils ein Ausgangssignal (CS) der Vergleichsschaltung derart zugeführt wird, daß das jeweilige Signal  $CS_i$  dem Gattereingang des jeweils geradzahlgigen Verzögerungselementes  $D_{i+4}$  direkt und dem jeweils ungeradzahlgigen Verzögerungselement  $D_{i+4}$  invertiert zugeführt werden.



**DE 196 03 469 C 2**

**DE 196 03 469 C 2**

## Beschreibung

Die Erfindung betrifft eine Taktsignal-Modellierungsschaltung gemäß dem Oberbegriff des Patentanspruchs 1. Eine solche Schaltung ist aus der JP-6-177723 A In: Patents Abstr. of Japan, Sect. E. Vol. 18 (1994), Nr. 509 (E-1610) bekannt.

## Beschreibung der herkömmlichen Technik

Vor kurzem sind Speicherbausteine entwickelt worden, die bei hoher Geschwindigkeit arbeiten. Damit jedoch eine bestimmte Schaltung ein internes Taktsignal erzeugen kann, ist es nötig, daß sie ein externes Taktsignal empfängt und einen bestimmten Verzögerungsprozeß besitzt. Da der Verzögerungsprozeß in dieser Hinsicht seine Grenze hat, besteht eine bestimmte Grenze bei Verringern der Taktzugriffszeit, bis das externe Taktsignal empfangen wird und die in einem Speicher gespeicherten Daten ausgegeben werden.

Deshalb wird im allgemeinen eine PLL oder DLL dazu verwendet, die Taktzugriffszeit zu verringern, so daß die Verzögerung zwischen dem externen Taktsignal und dem internen Taktsignal verringert werden kann, und es ist möglich, das interne Taktsignal schneller als das des externen Taktsignals zu erzeugen.

Ein Verfahren zum Verringern einer Taktzugriffszeit unter Verwendung der PLL und der DLL erfordert jedoch Hunderte von Taktzyklen und die PLL und DLL sollten auch in einem Bereitschaftszustand betrieben werden, so daß ungünstigerweise ein höherer Stromverbrauch erforderlich ist.

Wenn zusätzlich die PLL oder die DLL abgeschaltet wird, um den Stromverbrauch in einem Selbstaufrischungsbetrieb, der nicht auf einen Baustein zugreift, zu verringern, ist es, um wieder auf den Baustein zuzugreifen, erforderlich, die Ausführung des Selbstaufrischungsbetriebs zu beenden, und die PLL und die DLL sollten betrieben werden, so daß es schwierig ist, ein externes Taktsignal und ein internes Taktsignal während Hunderten von Zyklen zu koppeln.

Es ist ein Ziel der vorliegenden Erfindung, eine Taktsignal-Modellierungsschaltung bereitzustellen, die in der Lage ist, ein internes Taktsignal in einem externen Taktsignal schneller zu erzeugen, ohne einen Phasenregelkreis und einen Verzögerungsregelkreis zu verwenden.

Um die obigen Ziele zu erreichen, wird eine Taktsignal-Modellierungsschaltung bereitgestellt, die die Merkmale des Patentanspruchs 1 aufweist.

Vorteilhafte Ausgestaltungen der Taktsignal-Modellierungsschaltung sind in den abhängigen Ansprüchen beschrieben.

Nachfolgend werden Ausführungsbeispiele der Erfindung anhand der Zeichnung näher erläutert. Es zeigt:

**Fig. 1** ein Schaltungsdiagramm einer Taktsignal-Modellierungsschaltung einer ersten Ausführungsform,

**Fig. 2A** bis **2H** Diagramme, die einen Zeitablauf bestimmter Signale zeigen,

**Fig. 3** ein Schaltungsdiagramm einer Taktsignal-Modellierungsschaltung einer zweiten Ausführungsform,

**Fig. 4** ein Schaltungsdiagramm einer Taktsignal-Modellierungsschaltung einer dritten Ausführungsform.

Die **Fig. 1** bis **3** zeigen verschiedene Varianten von Taktsignal-Modellierungsschaltungen, wobei die **Fig. 4** das im Anspruch 1 beschriebene Ausführungsbeispiel mit allen Einzelheiten darstellt, während die **Fig. 1** bis **3** teilweise Erläuterungen dieses Ausführungsbeispiels und insbesondere der abhängigen Ansprüche beinhalten.

**Fig. 1** zeigt eine Taktsignal-Modellierungsschaltung einer ersten Ausführungsform, die eine Verzögerungseinheit 10 zum Empfangen eines externen Taktsignals CLK\_IN und

zum Ausgeben von Verzögerungstaktsignalen CLK\_D1-CLK\_DN, eine Abtasteinheit 20 zum Empfangen der Verzögerungstaktsignale CLK\_D1-CLK\_DN und zum Abtasten gemäß einem externen Taktsignal CLK\_IN, eine Vergleichseinheit 30 zum Empfangen der Ausgabe der Abtasteinheit 20 und zum aufeinanderfolgenden Vergleichen, und eine Ausgabereinheit 40 zum Empfangen der Verzögerungstaktsignale CLK\_D1-CLK\_DN und zum Ausgeben eines internen Taktsignals gemäß einem Ausgangssignal der Vergleichseinheit 30 enthält.

Die Verzögerungseinheit 10 enthält eine Vielzahl von Verzögerungsanschlüssen D1-Dn, von denen jeder aus zwei Invertern I1 und I2 besteht, und die Abtastschaltung enthält Flipflops FF1-FFn, von denen jeder das von der Verzögerungseinheit ausgegebene Verzögerungstaktsignal empfängt und gemäß einem externen Taktsignal CLK\_IN abtastet und ein nicht-invertiertes Ausgangssignal Qn ausgibt, wobei n gleich 1, 2, 3, ..., n ist.

Die Vergleichseinheit 30 enthält Vergleichseinheiten C1-Cn, wobei jede Vergleichseinheit Cn einen Inverter 31 zum Empfangen eines Ausgangssignals Qn des Flipflops FFn und zum Ausgeben eines invertierten Werts und ein NOR-Gatter 32 zur NOR-Verknüpfung der Ausgabe des Inverters 31 und der Ausgabe des Flipflop FFn+1 enthält.

Die Ausgabereinheit 40 enthält Ausgabe-Auswahleinheiten OS0-OSn, von denen jede ein Durchlaßgatter 41 zum Empfangen eines externen Taktsignals CLK\_IN und zum Ausgeben gemäß einem Schaltsignal SWS und ein parallel zum Durchlaßgatter 41 geschaltetes und durch eine Masse-spannung immer angeschaltetes Durchlaßgatter 42 enthält. Zusätzlich enthält jede Ausgabe-Auswahleinheit OSn das Durchlaßgatter 41 zum Durchlassen eines gemäß einem von der Vergleichseinheit Cn ausgegebenen Vergleichssignal CSn vom Verzögerungsanschluß Dn ausgegebenen Verzögerungstaktsignals CLK\_Dn und das parallel zum Durchlaßgatter geschaltete Durchlaßgatter 42 wird gemäß einem von der Vergleichseinheit Cn ausgegebenen Vergleichssignal CSn leitend.

Die Arbeitsweise der Taktsignal-Modellierungsschaltung der ersten Ausführungsform wird nun mit Bezug auf die beigefügten Zeichnungen erklärt.

Wenn ein externes Taktsignal CLK\_IN eingegeben wird, verzögert jeder der Verzögerungsanschlüsse D1-Dn das externe Taktsignal CLK\_IN und gibt die Verzögerungstaktsignale CLK\_D1-CLK\_Dn an die Abtasteinheit 20 und die Ausgabereinheit 40 aus.

Danach tasten die Flipflops FF1-FFn der Abtasteinheit 20 bei einer ansteigenden Flanke des externen Taktsignals CLK\_IN die Verzögerungstaktsignale CLK\_D1-CLK\_Dn ab und geben nicht invertierte Ausgangssignale Q1-Qn aus und die Vergleichseinheiten C1-Cn der Vergleichseinheit 30 vergleichen der Reihe nach jedes Paar aufeinanderfolgender Ausgangssignale Q1-Qn und geben Vergleichssignale CS1-CSn aus.

Deshalb gibt die Ausgabereinheit 40 ein Taktsignal als ein internes Taktsignal unter den von den Verzögerungsanschlüssen D1-Dn ausgegebenen Verzögerungstaktsignalen CLK\_D1-CLK\_Dn aus.

Das bedeutet, wenn wie in **Fig. 2A** gezeigt das externe Taktsignal CLK\_IN eingegeben wird, verzögern die Verzögerungsanschlüsse D1-Dn in Zusammenarbeit mit zwei Invertern I1 und I2 das externe Taktsignal CLK\_IN und geben wie in **Fig. 2B** bis **2G** gezeigt Verzögerungstaktsignale CLK\_D1-CLK\_Dn aus.

Danach empfängt das Flipflop FF1 der Abtasteinheit 20 das Verzögerungstaktsignal CLK\_D1 und tastet das Signal bei einer ansteigenden Flanke des externen Taktsignals CLK\_IN ab und gibt ein Signal Q1 mit dem Pegel low aus,

und das Flipflop FF2 tastet das Verzögerungstaktsignal CLK\_D2 ab und gibt ein Signal Q2 mit dem Pegel low aus.

Zusätzlich tastet das Flipflop FF3 das Verzögerungstaktsignal CLK\_D3 bei einer ansteigenden Flanke des externen Taktsignals CLK\_IN ab und gibt ein Signal Q3 mit dem Pegel high aus, und das Flipflop FF4 tastet das Verzögerungstaktsignal CLK\_D4 ab und gibt ein Signal Q4 mit dem Pegel high aus und das fünfte und sechste Flipflop FF5 und FF6 geben jeweils nach dem oben erwähnten Verfahren Signale Q5 und Q6 mit dem Pegel low an die Vergleichseinheit 30 aus.

Zusätzlich wird der Betrieb der Flipflops FF7 FFn nach dem oben erläuterten Verfahren durchgeführt.

Danach wird das vom Flipflop FF1 ausgegebene Signal Q1 mit dem Pegel low durch einen Inverter 31 der Vergleichseinheit C1 invertiert und das NOR-Gatter 32 NOR-verknüpft das invertierte Signal und das vom Flipflop FF2 ausgegebene Signal Q2 mit dem Pegel low und gibt ein Vergleichssignal CS1 mit dem Pegel low aus.

Zusätzlich empfängt die Vergleichseinheit C2 ein vom Flipflop FF2 ausgegebenes Signal Q2 mit dem Pegel low und ein vom Flipflop FF3 ausgegebenes Signal Q3 mit dem Pegel high logisch und gibt ein Vergleichssignal CS2 mit dem Pegel low aus und die Vergleichseinheit C3 empfängt ein vom Flipflop FF3 ausgegebenes Signal Q3 mit dem Pegel high und ein vom Flipflop FF4 ausgegebenes Signal Q4 mit dem Pegel high logisch und gibt ein Vergleichssignal CS3 mit dem Pegel low aus und die Vergleichseinheit C4 empfängt ein vom Flipflop FF4 ausgegebenes Signal Q4 mit dem Pegel high und ein vom Flipflop FF5 ausgegebenes Signal Q5 mit dem Pegel low logisch und gibt ein Vergleichssignal CS4 mit dem Pegel high aus und die übrigen Vergleichseinheiten C5-Cn arbeiten nach dem oben erwähnten Verfahren.

Zu diesem Zeitpunkt wird das Durchlaßgatter 41 der Ausgabe-Auswahleinheiten OS1-OS3 gemäß den von den Vergleichseinheiten C1-C3 ausgegebenen Vergleichssignalen CS1-CS3 mit dem Pegel low abgeschaltet und das Durchlaßgatter 42 wird angeschaltet und das Durchlaßgatter 42 der Ausgabe-Auswahleinheit OS4 wird gemäß einem von der Vergleichseinheit C4 ausgegebenen Vergleichssignal CS4 mit dem Pegel high abgeschaltet und das Durchlaßgatter 41 wird eingeschaltet.

Da deshalb das vom Verzögerungsanschluß D4 der Verzögerungseinheit 10 ausgegebene Verzögerungstaktsignal CLK\_D4 durch das Durchlaßgatter 41 der Ausgabe-Auswahleinheit OS4 an den Ausgangsanschluß CLK\_OUT ausgegeben wird, kann wie in Fig. 2H gezeigt ein internes Taktsignal CLK\_OUT erhalten werden, das etwas schneller als das des externen Taktsignals CLK\_IN ist.

Wenn das externe Taktsignal CLK\_IN als ein internes Taktsignal verwendet wird, wird in die Ausgabe-Auswahleinheit OS0 ein Schaltsignal SWS mit dem Pegel high eingegeben, und das Durchlaßgatter 41 der Ausgabe-Auswahleinheit OS0 wird angeschaltet und ein externes Taktsignal CLK\_IN wird an den Ausgabeanschluß CLK\_OUT ausgegeben. Wenn ein Taktsignal der von den Verzögerungsanschlüssen D1-D3 ausgegebenen Verzögerungstaktsignale CLK\_D1-CLK\_D3 als ein internes Taktsignal verwendet wird, wird das eingegebene externe Taktsignal CLK\_IN variiert und die von den Vergleichseinheiten C1-Cn ausgegebenen Vergleichssignale CS1-CS3 werden eingestellt und die Verzögerungstaktsignale CLK\_D1-CLK\_D3 werden selektiv ausgegeben.

Fig. 3 zeigt eine Taktsignal-Modellierungsschaltung einer zweiten Ausführungsform, die eine Verzögerungseinheit 50 zum Verzögern eines externen Taktsignals CLK\_IN um eine vorbestimmte Zeit und zum Ausgeben verzögerter Taktsi-

gnale CLK\_D1-CLK\_Dn, eine Abtasteinheit 60 zum Empfangen der Verzögerungstaktsignale CLK\_D1-CLK\_Dn und zum Abtasten gemäß einem externen Taktsignal CLK\_IN, eine Vergleichseinheit 70 zum Empfangen und Vergleichen von Ausgaben Q1-Qn der Abtasteinheit 60 und zum Ausgeben von Vergleichssignalen CS1-CSn und eine Ausgabereinheit 80 zum Empfangen der von der Verzögerungseinheit 50 ausgegebenen Verzögerungstaktsignale CLK\_D1-CLK\_Dn und zum Ausgeben von Vergleichssignalen CS1-CSn der Verzögerungseinheit 70 und eines internen Taktsignals gemäß einem externen Schaltsignal SWS enthält.

Die Verzögerungseinheit 50 enthält eine Vielzahl von Verzögerungsanschlüssen Dn, von denen jeder aus einem Inverter 51 besteht, und die Abtasteinheit 60 enthält eine Vielzahl von Flipflops FF1-FFn, von denen jedes ein von der Verzögerungseinheit Dn ausgegebenes Verzögerungstaktsignal CLK\_Dn empfängt, bei einer ansteigenden Flanke das externe Taktsignal CLK\_IN abtastet, die Ausgabe von einem ungeradzahliges Flipflop FF<sub>2n-1</sub> invertiert und ein geradzahliges Flipflop FF<sub>2n</sub> nicht invertiert.

Der Aufbau der Vergleichseinheit 70 ist zusätzlich derselbe wie bei der in Fig. 1 gezeigten Vergleichseinheit 30. Die Ausgabereinheit 80 enthält Ausgabe-Auswahleinheiten OS0-OSn. Die Ausgabe-Auswahleinheit OS0 enthält einen Puffer 81 zum Puffern eines externen Taktsignals CLK\_IN, einen mit einem Ausgabe-Freigabeanschluß und einer Masseanspannung Vss verbundenen Schalter SW1 zum Umschalten gemäß einem externen Steuersignal und einen mit einem Ausgabe-Freigabeanschluß des Puffers 81 und dem Ausgangsanschluß der Vergleichseinheit C1 verbundenen Schalter SW2 zum Umschalten gemäß einem externen Steuersignal.

Zusätzlich enthalten die Ausgabe-Auswahleinheiten OS1-OSn einen Inverter 82 zum Invertieren der Ausgabe des Verzögerungsanschlusses D<sub>2n-1</sub> und einen mit dem Ausgabe-Freigabeanschluß des Inverters 82 und dem Ausgabeanschluß der Vergleichseinheit C<sub>2n-1</sub> verbundenen Schalter SW1, wobei die Ausgabe-Auswahleinheit OS<sub>2n-1</sub> einen mit dem Ausgabe-Freigabeanschluß des Inverters 82 und dem Ausgangsanschluß der Vergleichseinheit C<sub>2n</sub> verbundenen Schalter SW2 zum Ausgeben eines Vergleichssignals CS<sub>2n</sub> gemäß einem Schaltsignal SWS, einen Puffer 81 zum Puffern der Ausgabe der Verzögerungseinheit D<sub>2n</sub>, einen mit dem Ausgabe-Freigabeanschluß des Puffers 81 und dem Ausgabeanschluß der Vergleichseinheit C<sub>2n</sub> verbundenen Schalter SW1 zum Ausgeben eines Vergleichssignals CS<sub>2n</sub> gemäß einem Schaltsignal SWS besitzt und eine Ausgabe-Auswahleinheit OS<sub>2n</sub> einen mit dem Ausgabe-Freigabeanschluß des Puffers 81 und dem Ausgabeanschluß der Vergleichseinheit C<sub>2n+1</sub> gemäß einem Umschaltsignal SWS verbundenen Schalter SW2 besitzt.

Die Arbeitsweise der Taktsignal-Modellierungsschaltung der zweiten Ausführungsform wird nun mit Bezug auf die beigefügten Zeichnungen erläutert.

Wenn ein externes Taktsignal CLK\_IN eingegeben wird, verzögern die Verzögerungsanschlüsse D1-Dn der Verzögerungseinheit 50 das externe Taktsignal CLK\_IN und geben das Verzögerungstaktsignal CLK\_D<sub>2n-1</sub> und das Verzögerungstaktsignal CLK\_D<sub>2n</sub> an die Abtasteinheit 60 und die Ausgabereinheit 80 aus.

Danach empfangen die Flipflops FF1-FFn der Abtasteinheit 60 das Verzögerungstaktsignal /CLK\_D<sub>2n-1</sub> und das Verzögerungstaktsignal CLK\_D<sub>2n</sub> und tasten bei einer ansteigenden Flanke des externen Taktsignals CLK\_IN ab und geben das Ausgangssignal /Q<sub>2n-1</sub> und das Ausgangssignal Q<sub>2n</sub> an den invertierten Anschluß /Q und an den nicht invertierten Anschluß Q aus und die Vergleichseinheiten C1 Cn

der Vergleichseinheit 70 vergleichen der Reihe nach das Ausgangssignal  $/Q_{2n-1}$  und das Ausgangssignal  $Q_{2n}$ .

Deshalb empfangen die Ausgabe-Auswahleinheiten OS1-OSn der Ausgabebeeinheit 80 das von den Verzögerungsanschlüssen D1-Dn ausgegebene Verzögerungstaktsignal  $/CLK\_D_{2n-1}$  und das Verzögerungstaktsignal  $CLK\_D_{2n}$  und geben gemäß einem von den Schaltern SW1 und SW2 ausgegebenen Vergleichssignal  $CS_{2n-1}$  und einem Vergleichssignal  $CS_{2n}$  ein Taktsignal als ein internes Taktsignal aus.

Das bedeutet, wenn von der Vergleichseinheit C2 ein Vergleichssignal CS2 mit dem Pegel high ausgegeben wird und wenn der Schalter SW1 der Ausgabe-Auswahleinheit OS2 gemäß einem Schaltsignal SWS ausgewählt ist, wird die Ausgabe des Puffers 81 freigegeben und das vom Verzögerungsanschluß D2 ausgegebene Verzögerungstaktsignal  $CLK\_D_2$  wird durch den Schalter SW2 der Ausgabe-Auswahleinheit OS1 ausgewählt und die Ausgabe des Puffers 82 wird gemäß einem Vergleichssignal C2 mit dem Pegel high freigegeben und das vom Verzögerungsanschluß D1 ausgegebene Verzögerungstaktsignal  $/CLK\_D_1$  wird durch den Inverter 82 invertiert und an den Ausgabeanschluß  $CLK\_OUT$  ausgegeben.

Falls zusätzlich das externe Taktsignal  $CLK\_IN$  direkt an das interne Taktsignal ausgegeben wird, wird, wenn von der Vergleichseinheit C1 ein Vergleichssignal CS1 mit dem Pegel high ausgegeben wird, der Schalter SW2 der Ausgabe-Auswahleinheit OS0 auf das Schaltsignal SWS hin angeschaltet und der Ausgang des Puffers 81 wird freigegeben und das externe Taktsignal  $CLK\_IN$  wird durch den Puffer 91 an den Ausgabeanschluß  $CLK\_OUT$  ausgegeben.

Wenn deshalb in der zweiten Ausführungsform von den Vergleichseinheiten C1-Cn der Vergleichseinheit 70 Vergleichssignale CS1-CSn mit dem Pegel high ausgegeben werden, werden die Schalter SW1 und SW2 der Ausgabe-Auswahleinheiten OS1-OSn gesteuert und die Verzögerungstaktsignale  $CLK\_D_1-CLK\_D_n$  langsamer oder schneller ausgegeben als das des externen Taktsignals  $CLK\_IN$  ausgegeben werden kann.

Fig. 4 zeigt eine Taktsignal-Modellierungsschaltung einer dritten Ausführungsform. Hier ist die Verzögerungseinheit 50 der zweiten Ausführungsform durch eine Verzögerungseinheit 90 ersetzt, die in der Lage ist, einen Betrieb eines bestimmten Verzögerungsanschlusses anzuhalten.

Wie darin gezeigt, wird die Verzögerungseinheit 90 bereitgestellt. Sie enthält eine Vielzahl von ungeradzahigen Verzögerungsanschlüssen  $D_{2n-1}$  von denen jeder aus einem NAND-Gatter besteht, einer Vielzahl von geradzahigen Verzögerungsanschlüssen  $D_{2n}$ , von denen jeder aus einem NOR-Gatter besteht. Die ungeradzahigen Verzögerungsanschlüsse D1 und D3 der Verzögerungsanschlüsse D1-D4 empfangen durch eines von deren Enden eine Spannung  $V_{cc}$  und die geradzahigen Verzögerungsanschlüsse D2 und D4 empfangen über eines von deren Enden eine Massespannung  $V_{ss}$  und die ungeradzahigen Verzögerungsanschlüsse der Verzögerungsanschlüsse D5-Dn sind mit dem Inverter 93 verbunden, der das Vergleichssignal  $CS_{2n-1}$  der Vergleichseinheit 30 invertiert und die geradzahigen Verzögerungsanschlüsse empfangen über deren eines Ende das Vergleichssignal  $CS_{2n}$  der Vergleichseinheit.

Die Arbeitsweise der dritten Ausführungsform wird nun mit Bezug auf die beigelegten Zeichnungen erläutert.

Wenn ein externes Taktsignal  $CLK\_IN$  eingegeben wird, verzögern die Verzögerungsanschlüsse der Verzögerungseinheit 90 ein externes Taktsignal  $CLK\_IN$  durch das NAND-Gatter 91 und das NOR-Gatter 92 und geben jeweils die Verzögerungstaktsignale  $/CLK\_D_{2n-1}$ ,  $CLK\_D_{2n}$ , ... an die Abtasteinheit 60 und die Ausgabebeeinheit 80 aus.

Danach empfangen die Flipflops FF1-FFn der Abtasteinheit 60 die Verzögerungstaktsignale  $/CLK\_D_{2n-1}$ ,  $CLK\_D_{2n}$ , ... und tasten bei einer ansteigenden Flanke des externen Taktsignal  $CLK\_IN$  ab und geben die Ausgangssignale  $/Q_{2n-1}$  und  $Q_{2n}$  aus und die Vergleichseinheiten C1-Cn der Vergleichseinheit 70 vergleichen der Reihe nach das Ausgangssignal  $/Q_{2n-1}$  und das Ausgangssignal  $Q_{2n}$  und geben jeweils die Vergleichssignale CS1-CSn an die Ausgabebeeinheit 80 und die Verzögerungsanschlüsse D5-Dn aus. Deshalb empfängt die Ausgabebeeinheit 80 die Verzögerungstaktsignale  $/CLK\_D_{2n-1}$ ,  $CLK\_D_{2n}$ , ... und gibt gemäß Vergleichssignalen CS1-CSn und einem Schaltsignal SWS der Vergleichseinheit 70 ein Taktsignal als ein internes Taktsignal aus und die Verzögerungsanschlüsse D5-Dn der Verzögerungseinheit 90 geben gemäß den von der Vergleichseinheit 70 ausgegebenen Vergleichssignalen CS1-CSn ein Signal mit dem Pegel high oder low aus.

Das bedeutet, wenn von der Vergleichseinheit C1 ein Vergleichssignal CS1 mit dem Pegel high ausgegeben wird, wird der Schalter SW2 der Ausgabe-Auswahleinheit OS0 oder der Schalter SW1 der Ausgabe-Auswahleinheit OS1 gemäß einem Schaltsignal SWS angeschaltet und ein vom externen Taktsignal  $CLK\_IN$  oder vom Verzögerungsanschluß D1 ausgegebenes Verzögerungstaktsignal  $CLK\_D_1$  wird als ein internes Taktsignal ausgegeben und das von der Vergleichseinheit C1 ausgegebene Vergleichssignal CS1 mit dem Pegel high wird in die Verzögerungseinheit D5 eingegeben und durch den Inverter 93 invertiert und in einen Anschluß des NAND-Gatters eingegeben und der Ausgang des NAND-Gatters 91 wird auf dem Pegel high festgehalten.

Zu diesem Zeitpunkt wirken diegänge der Verzögerungsanschlüsse D2-D4 gemäß Vergleichssignalen CS2-CS4 und einem Schaltsignal SWS und die Verzögerungsanschlüsse D5-Dn werden gemäß den Vergleichssignalen CS2-CS5 auf dem Pegel high oder dem Pegel low festgehalten, so daß es möglich ist, beim Aktivieren der Verzögerungsanschlüsse D5-Dn während eines aktiven Betriebs den Verbrauch an elektrischer Leistung zu verringern.

Wie oben beschrieben, ist die Taktsignal-Modellierungsschaltung der vorliegenden Erfindung darauf gerichtet, ein internes Taktsignal, das soviel wie ein bestimmter Verzögerungsanschluß schneller oder langsamer ausgegeben wird als ein externes Taktsignal, durch Verzögern und Abtasten des externen Taktsignals, aufeinanderfolgendes Vergleichen des abgetasteten Signals und Steuern der Ausgabe des Vergleichssignals, auszugeben, so daß es möglich ist, den Verbrauch an elektrischer Leistung während eines aktiven Betriebs durch Festhalten des Verzögerungsanschlusses nach einem ausgewählten Verzögerungsanschluß auf einem Pegel high oder einem Pegel low zu verringern.

#### Patentansprüche

1. Taktsignal-Modellierungsschaltung, umfassend:
  - eine Verzögerungsschaltung (10; 90) mit n hintereinandergeschalteten Verzögerungselementen ( $D_1 \dots D_n$ ), der ein externes Taktsignal ( $CLOCK\_IN$ ) zugeführt wird, wobei nach jedem Verzögerungselement ein verzögertes Ausgangssignal ( $CLOCK\_D_1 \dots CLOCK\_D_n$ ) abgegriffen werden kann,
  - eine Abtastschaltung (20, 60), die von dem externen Taktsignal getaktet wird und der die verzögerten Ausgangssignale ( $CLOCK\_D_1 \dots CLOCK\_D_n$ ) zugeführt werden,
  - eine Vergleichsschaltung (30, 70) mit n-1 Vergleichselementen ( $C_1 \dots C_{n-1}$ ), wobei einem Vergleichselement (i) die Ausgangssignale ( $Q_i$ )

und  $Q_{i+1}$ ) der Abtastschaltung zugeführt werden, und

– eine Ausgabeschaltung (40, 80), der zum einen die von den Verzögerungselementen abgegebenen verzögerten Ausgangssignale (CLOCK\_D1 ... CLOCK\_Dn) zugeführt werden und zum anderen die Ausgangssignale ( $CS_1$ – $CS_{n-1}$ ) der Vergleichsschaltung, und die ein internes Taktsignal (CLOCK\_OUT) gemäß einem Ausgangssignal ( $CS_1$  ...  $CS_n$ ) der Vergleichseinheit und einem von außen angelegten Schaltsignal (SWS) abgibt, **dadurch gekennzeichnet**, daß jedes ungeradzahlige Verzögerungselement (D1 ... Dn) ein NAND-Gatter und jedes geradzahlige Verzögerungselement ein NOR-Gatter enthält und jeweils dem einen Gattereingang das verzögerte Ausgangssignal des vorangehenden Verzögerungselementes zugeführt wird und dem anderen Gattereingang jeweils ein Ausgangssignal (CS) der Vergleichsschaltung derart zugeführt wird, daß das jeweilige Signal  $CS_i$  dem Gattereingang des jeweils geradzahligen Verzögerungselementes  $D_{i+4}$  direkt und dem jeweils ungeradzahligen Verzögerungselement  $D_{i+4}$  invertiert zugeführt werden.

2. Schaltung nach Anspruch 1, dadurch gekennzeichnet, daß jedes Vergleichselement einen Inverter (71) zum Invertieren des Ausgangssignals eines Flipflop und ein NOR-Gatter (72) zum NOR-Verknüpfen des Ausgangssignals des Flipflop enthält.

3. Schaltung nach einem der Ansprüche 1 oder 2, dadurch gekennzeichnet, daß die Ausgabeschaltung eine erste Ausgabe-Auswahleinheit (OS0) zum direkten Ausgeben eines externen Taktsignals und eine Vielzahl von weiteren Auswahleinheiten ( $OS_1$  ...  $OS_{n-1}$ ) zum Ausgeben eines Verzögerungstaktsignals enthält.

4. Schaltung nach Anspruch 3, dadurch gekennzeichnet, daß jede Auswahleinheit folgendes enthält: ein erstes Durchlaßgatter (41) zum Empfangen des externen Taktsignals oder eines von der Verzögerungseinheit ausgegebenen Verzögerungstaktsignals und zum Durchlassen gemäß einem von der Vergleichseinheit ausgegebenen Vergleichssignal; und ein parallel zum ersten Durchlaßgatter geschaltetes zweites Durchlaßgatter (42), das gemäß einem von der Vergleichseinheit ausgegebenen Vergleichssignal leitend wird.

---

Hierzu 4 Seite(n) Zeichnungen

---

50

55

60

65

- Leerseite -

FIG. 1

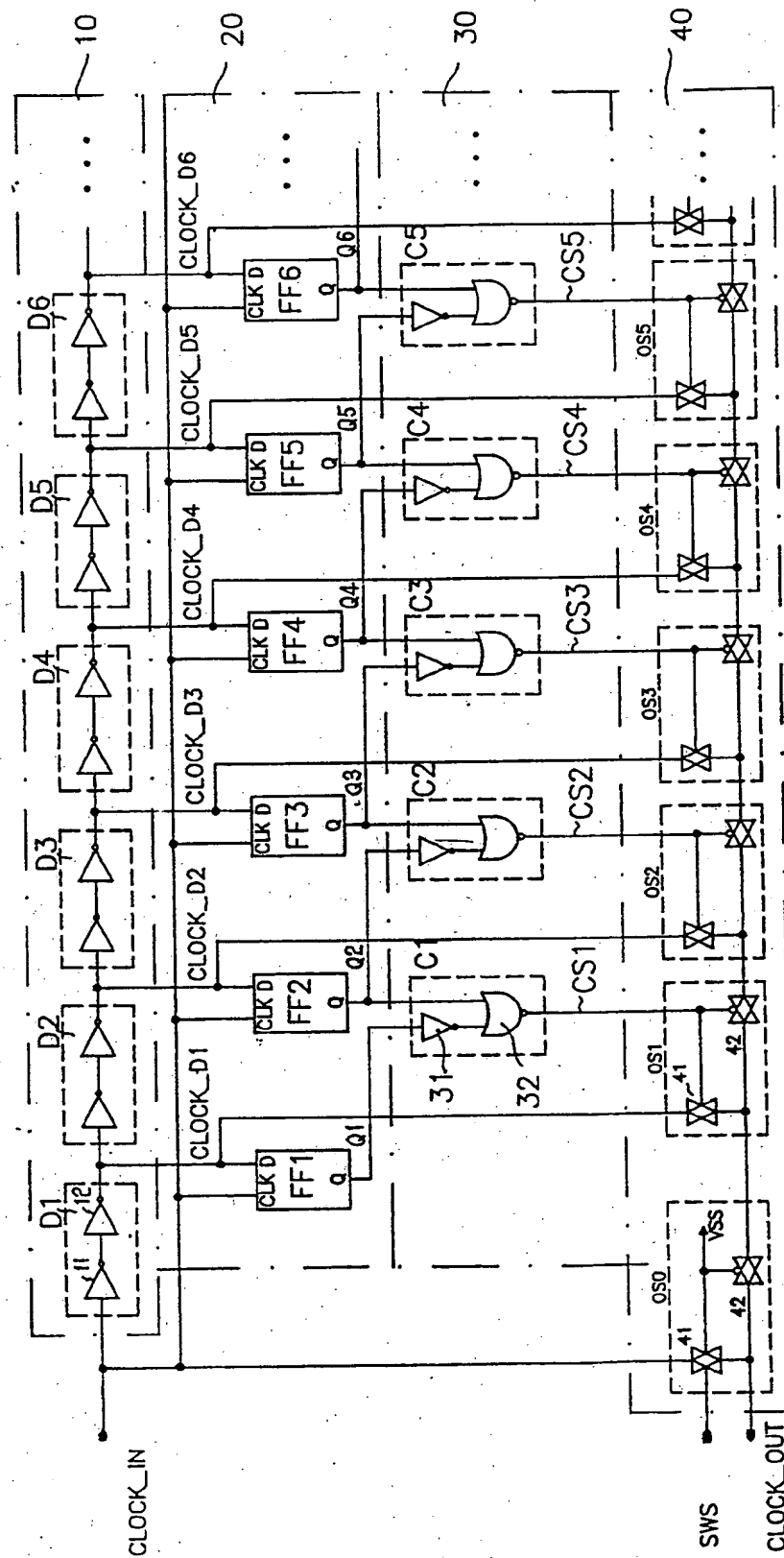


FIG. 2

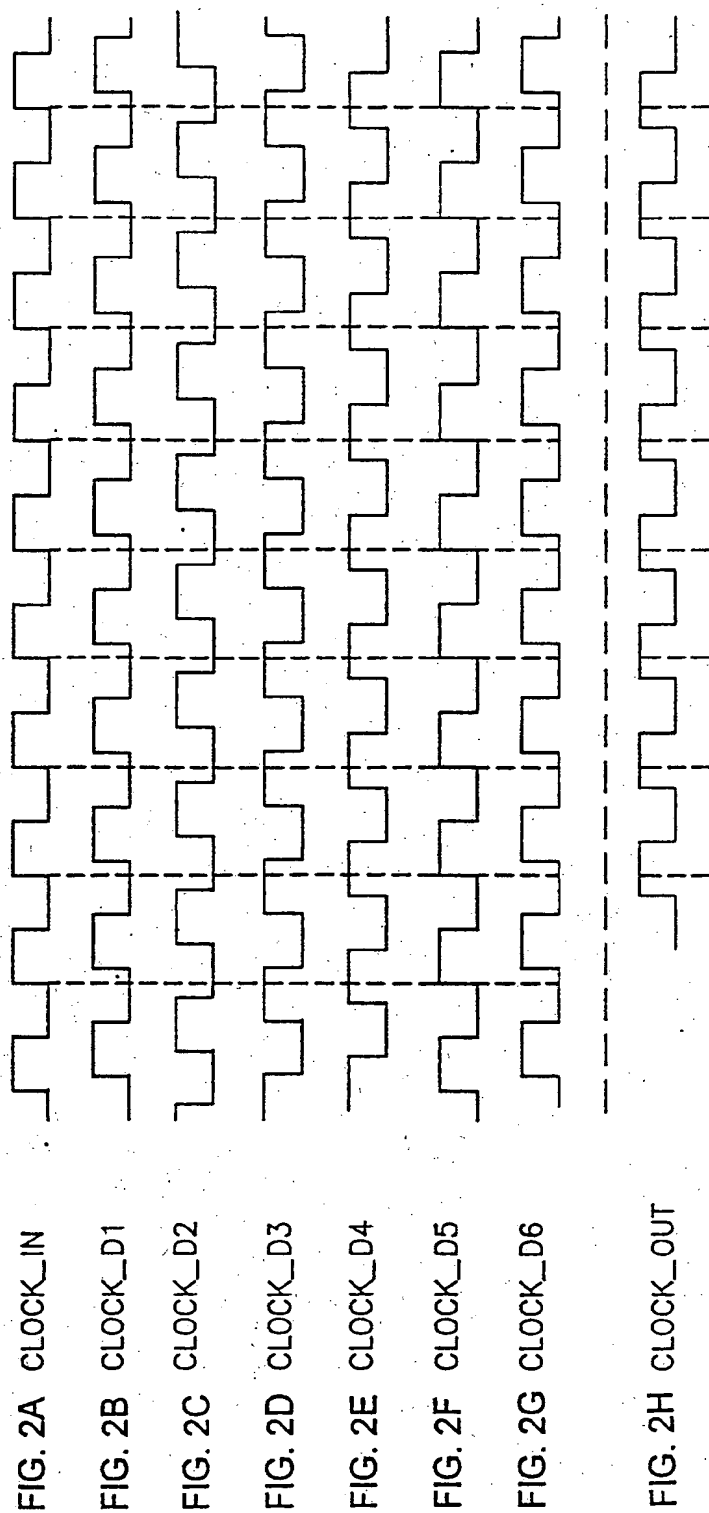




FIG. 3

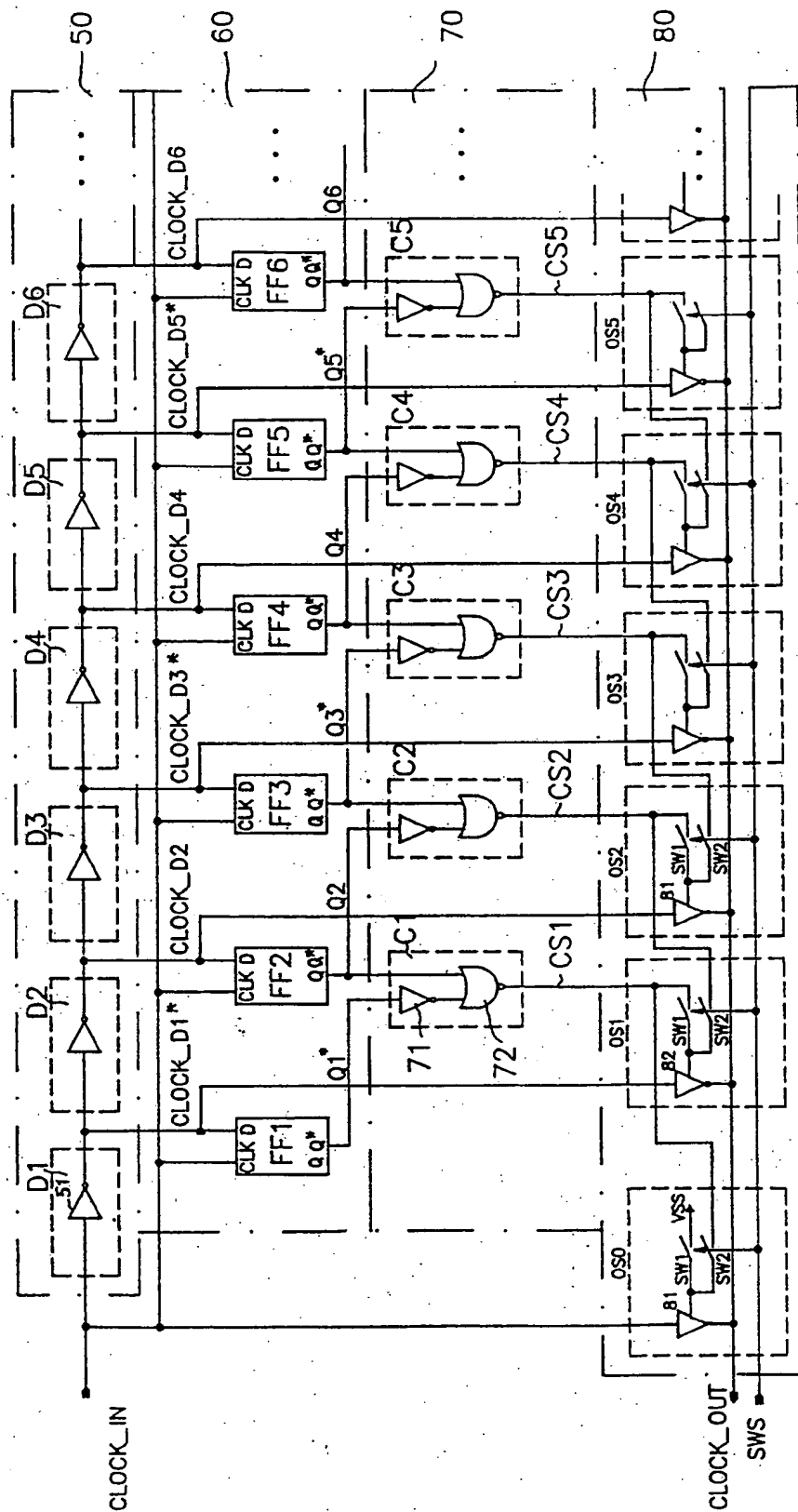


FIG. 4

